

대한민국 특허청

KOREAN INDUSTRIAL  
PROPERTY OFFICE

JC903 U.S. PTO  
09/12145  
11/15/00

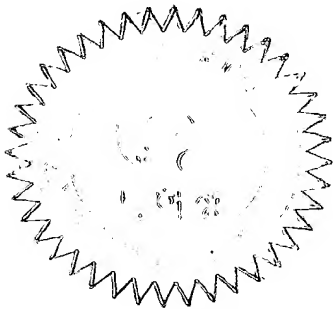
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 : 특허출원 1999년 제 50670 호  
Application Number

출원년월일 : 1999년 11월 15일  
Date of Application

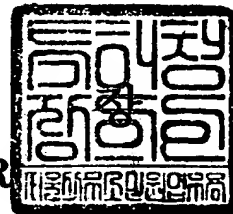
출원인 : 엘지정보통신주식회사  
Applicant(s)



2000 년 11 월 01 일

특 허 청

COMMISSIONER





919980000484



10111010000000000000

방 식 심 사 관	담	당	심	사	관

【서류명】 특허출원서

【권리구분】 특허

【수신처】 특허청장

【참조번호】 0016

【제출일자】 1999.11.15

【국제특허분류】 H04B

【발명의 국문명칭】 의사잡음 코드 발생 방법

【발명의 영문명칭】 PN code generating method

【출원인】

【명칭】 엘지정보통신주식회사

【출원인코드】 1-1998-000286-1

【대리인】

【성명】 강용복

【대리인코드】 9-1998-000048-4

【포괄위임등록번호】 1999-057037-3

【대리인】

【성명】 김용인

【대리인코드】 9-1998-000022-1

【포괄위임등록번호】 1999-057038-1

【발명자】

【성명의 국문표기】 김중헌

【성명의 영문표기】 KIM, Jong Heon

【주민등록번호】 690205-1951017

【우편번호】 139-206

【주소】 서울특별시 노원구 상계6동 주공아파트 305동 1105호

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다.

대리인

강용복 (인)

대리인

김용인 (인)

【수수료】

【기본출원료】	19	면	29,000	원
【가산출원료】	0	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	3	항	205,000	원
【합계】			234,000	원

【첨부서류】 1.요약서· 명세서(도면)\_1통

## 【 요약서】

### 【 요약】

본 발명은 한 클럭 동안에 어드밴스 또는 리타드 조정이 가능한 의사잡음 코드 발생 방법에 관한 것으로서, 본 발명은 서로 직렬로 연결된  $n$ 개의 먹스와 쉬프트 레지스터를 포함한 선형 시퀀스 쉬프트 레지스터가 구비된  $n$  차의 의사 잡음 코드 발생기에 있어서, 정상 상태에서의 선형 시퀀스 쉬프트 레지스터의 다음 상태를 구하기 위한 동작, PN 칩 어드밴스(Advance)를 위한 상기 선형 시퀀스 쉬프트 레지스터의 다음 상태를 구하기 위한 동작, 및 PN 칩 리타드(Retard)를 위한 상기 선형 시퀀스 쉬프트 레지스터의 다음 상태를 구하기 위한 동작을 실행하기 위한 신호를 상기 각각의 먹스에 입력하는 단계와; 상기 선형 시퀀스 쉬프트 레지스터에 대한 다음 상태를 변경하기 위한 제어신호를 발생시키는 단계와; 상기 각각의 먹스에 입력되는 신호를 상기 제어신호에 따라 다중화하는 단계와, 상기 다중화된 신호에 상응하는 동작을 한 클럭 동안에 실행하는 단계로 이루어진다.

### 【 대표도】

도 5

### 【 색인어】

의사잡음 코드 발생기

【 명세서 】

【 발명의 명칭 】

의사잡음 코드 발생 방법{PN code generating method}

【 도면의 간단한 설명 】

<1> 도 1은 종래의 4차 생성 다항식이 주어진 의사 잡음 코드 발생기의 블록 구성도.

<2> 도 2는 도 1에서 보인 의사 잡음 코드 발생기에 대해 정상동작에서 선형 시퀀스 쉬프트 레지스터(LSSR)의 다음 상태를 구하기 위한 의사 잡음 코드 발생기의 부분적인 블록 구성도.

<3> 도 3은 본 발명의 실시 예에서 의사 잡음 코드 발생기에 대해 1 PN 칩 어드밴스(advance)를 실행하기 위해 선형 시퀀스 쉬프트 레지스터(LSSR)의 다음 상태를 구하기 위한 의사 잡음 코드 발생기의 부분적인 블록 구성도.

<4> 도 4는 본 발명의 실시 예에서 의사 잡음 코드 발생기에 대해 1 PN 칩 리타드(retard)를 실행하기 위해 선형 시퀀스 쉬프트 레지스터(LSSR)의 다음 상태를 구하기 위한 의사 잡음 코드 발생기의 부분적인 블록 구성도.

<5> 도 5는 본 발명의 바람직한 실시 예에 따른 4차의 생성 다항식이 주어진 의사 잡음 코드 발생기의 블록 구성도.

<6> \*도면의 주요부분에 대한 부호의 설명\*

<7> 11-14 : 쉬프트 레지스터                      15-17 : 논리합 소자

<8> 21-24 : 댁스                                      31 : 엔코더

【 발명의 상세한 설명】

【 발명의 목적】

【 발명이 속하는 기술분야 및 그 분야의 종래기술】

<9>           본 발명은 의사 잡음 코드 발생기(PN code generator)에 관한 것으로서, 특히 코드 분할 다중 접속(CDMA) 방식을 기반으로 한 무선 통신망에서 한 클럭 이내에 의사 잡음 코드 발생기에서 발생된 1 PN 칩을 진행(어드밴스) 또는 지연(리타드)하기에 적당하도록 한 의사 잡음 코드 발생 방법에 관한 것이다.

<10>           코드 분할 다중 접속(CDMA) 방식을 기반으로 한 무선 통신망에서 의사 잡음 코드 발생기(pseudo-noise or pseudorandom noise generator)는 일반적으로 통신 장치의 수신단 또는 송신단에 구비된다. 수신단에 구비된 의사 잡음 코드 발생기는 PN 시퀀스를 발생시켜 송신단으로부터 수신한 신호에 대한 사용자 구분, 시간 및 위상 동기, 그리고 복조 등의 동작을 실행한다.

<11>           이러한 의사 잡음 코드 발생기에서 발생하는 PN 코드는 보통 n 개의 플립 플롭 또는 쉬프트 레지스터로 이루어진 선형 시퀀스 쉬프트 레지스터(linear Sequence Shift Register : LSSR)에 의해 발생된다. 특히, 의사 잡음 코드 발생기는 기지국 수신기나 단말기 수신기에 구비된 탐색기가 수신신호에 포함된 파일럿 신호를 신속하게 포착(aquisition)하도록 사용되며, 또한 수신기에 구비된 핑거(finger)가 수신신호에 포함된 PN 코드를 추적할 수 있도록 사용된다. 이때, 기지국 또는 단말기의 수신기에서 수신신호에 포함된 PN 코드를 알아내기 위하여 의사 잡음 코드 발생기를 통하여 PN 코드를 만들고, 파일럿 신호를 포착하거나 PN

코드를 알아내기 위한 동작을 수행하기 위하여 고의적으로 만들어진 PN 코드의 오프셋(offset)을 지연(retard)시키거나 진행(advance)시킨다.

<12>           도 1은 종래의 선형 시퀀스 쉬프트 레지스터가 구비된 의사 잡음 코드 발생기의 블록 구성도이다. 도 1을 참조하면, 선형 시퀀스 쉬프트 레지스터(10)는  $2^{N-1}$  길이(도 1에서는 N은 2로 가정하였다)의 PN 코드를 발생시킬 수 있는 4단 선형 시퀀스 쉬프트 레지스터를 보인다. 도 1에 보인 선형 시퀀스 쉬프트 레지스터는 직렬로 연결된 3개의 쉬프트 레지스터(또는 저장 소자)(1-3)와, 하나의 쉬프트 레지스터(4)와, 쉬프트 레지스터(3)와 쉬프트 레지스터(4)사이에 위치한 덧셈기(5)로 구성된다.

<13>           도 1의 선형 시퀀스 쉬프트 레지스터에서 시스템 클럭은 PN 칩 레이트의 N 배수의 클럭(CHIP x N)이 제공되며, 클럭 인에이블을 통해 의사 잡음 코드 발생기의 선형 시퀀스 쉬프트 레지스터에 인가되는 클럭의 수를 조절하여 의사 잡음 코드 발생기의 정상 동작 또는 PN 칩 리타드나 PN 칩 어드밴스를 수행한다.

<14>           예를 들어, 의사 잡음 코드 발생기가 정상상태로 동작하는 경우에는 클럭 인에이블을 N 개의 시스템 클럭 마다 1 개의 시스템 클럭 만큼씩 인에이블시키는 동작을 실행한다. 즉, 1 PN 칩 시간동안 N 개의 시스템 클럭이 선형 시퀀스 쉬프트 레지스터에 인가된다. 따라서, 도 1에 도시된 의사 잡음 코드 발생기는 자신의 PN 칩 레이트 보다 N 배 빠른 시스템 클럭을 사용하는 경우, 자신의 PN 칩 레이트보다 N 배 빠르게 동작한다.

<15> 1 PN 칩 리타드는 선형 시퀀스 쉬프트 레지스터의 상태가 1 PN 칩 시간동안 반복되는 동작을 실행한다. 즉, 클럭 인에이블을 조절하여 1 PN 칩 시간(N 개의 시스템 클럭)동안 0개의 시스템 클럭을 선형 시퀀스 쉬프트 레지스터에 인가한다.

<16> 반면, 1 PN 칩 어드밴스는 선형 시퀀스 쉬프트 레지스터의 상태가 정상 동작의 상태를 건너 뛰어 그 다음 상태로 천이하는 동작을 실행한다. 즉, 의사 잡음 코드 발생기에 인가되는 클럭 인에이블을 조절하여 1 PN 칩 시간(N 개의 시스템 클럭)동안 2개의 시스템 클럭을 선형 시퀀스 쉬프트 레지스터에 인가한다. 따라서, 이 방식을 이용하여 1 PN 칩 어드밴스를 실행하기 위해서는 1 PN 칩 레이트보다 2 배의 시스템 클럭이 사용되어야만 한다.

<17> 그러나, 향후의 통신 환경은 기지국 또는 단말기 등의 각 통신 장비에 구비된 모뎀의 기능에 대한 요구 조건이 점점 다양해지고 있다. 따라서, 모뎀의 구성은 더욱 복잡해지고 또한 무선 통신망의 가입자수 또한 점점 증가되고 있다. 이러한 통신 환경 하에서, 가능한 최소한의 시스템 클럭 내에서 1 PN 칩 리타드나 어드밴스를 수행할 수 있는 의사 잡음 코드 발생기가 요구되고 있다.

#### 【 발명이 이루고자 하는 기술적 과제】

<18> 본 발명의 목적은 이상에서 언급한 종래 기술의 문제점을 감안하여 안출한 것으로서, 코드 분할 다중 접속 방식의 무선 통신시스템에서 칩 레이트와 동일한 클럭을 이용하면서도 한 클럭 동안에 의사 잡음 코드 발생기에서 발생된 1 PN 칩을 어드밴스 또는 리타드 할 수 있는 의사 잡음 코드 발생 방법을 제공하기 위한 것이다.



<19>

이상과 같은 목적을 달성하기 위한 본 발명의 특징에 따른 본 발명은 서로 직렬로 연결된  $n$ 개의 먹스와 쉬프트 레지스터를 포함한 선형 시퀀스 쉬프트 레지스터가 구비된  $n$  차의 의사 잡음 코드 발생기에 있어서, 정상 상태에서의 선형 시퀀스 쉬프트 레지스터의 다음 상태를 구하기 위한 동작, PN 칩 어드밴스(Advance)를 위한 상기 선형 시퀀스 쉬프트 레지스터의 다음 상태를 구하기 위한 동작, 및 PN 칩 리타드(Retard)를 위한 상기 선형 시퀀스 쉬프트 레지스터의 다음 상태를 구하기 위한 동작을 실행하기 위한 신호를 상기 각각의 먹스에 입력하는 단계와; 상기 선형 시퀀스 쉬프트 레지스터에 대한 다음 상태를 변경하기 위한 제어신호를 발생시키는 단계와; 상기 각각의 먹스에 입력되는 신호를 상기 제어신호에 따라 다중화하는 단계와, 상기 다중화된 신호에 상응하는 동작을 한 클럭 동안에 실행하는 단계로 이루어진다.

#### 【 발명의 구성 】

<20>

이하 본 발명의 바람직한 일 실시 예에 따른 구성 및 작용을 첨부된 도면을 참조하여 설명한다.

<21>

일반적으로 의사 잡음 코드 발생기는 도 2내지 도 5에 도시된 바와 같이 생성 다항식에 의한 배타적 논리합 소자(exclusive OR gate :XOR gate)들과 여러개의 쉬프트 레지스터로 이루어진 선형 시퀀스 쉬프트 레지스터로 구성된다.

<22>

본 발명의 설명을 위해 먼저 수학식 1과 같은  $n$  차 생성 다항식  $g(X)$ 는 아래의 수학식 2와 같은 벡터로 표현된다고 가정한다.

<23> 【수학식 1】

$$g(X) = g_n X^n + g_{n-1} X^{n-1} + \cdots + g_1 X + 1$$

<24> 【수학식 2】

$$\bar{g} = [g_n \quad g_{n-1} \quad \cdots \quad g_1 \quad g_0]$$

여기서,

$$g_i = \begin{cases} 1 & , i = n \\ 0 \text{ or } 1 & , 0 < i < n, \quad i \text{ is integer} \\ 1 & , i = 0 \end{cases}$$

<25> 본 발명에서 선형 시퀀스 쉬프트 레지스터의 현재 상태를  $\rightarrow r_m$  이라고 가정

할 때, 이러한 현재 상태를 아래와 같은 수학식 3과 같이 벡터 형태로 표현할 수 있다.

<26> 【수학식 3】

$$\bar{r}_m = [r_{n,m} \quad r_{n-1,m} \quad \cdots \quad r_{1,m} \quad r_{0,m}]$$

여기서,

$$r_{i,m} = \begin{cases} 0 \text{ or } 1 & , 0 < i \leq n, \quad i \text{ is integer} \\ 0 & , i = 0 \end{cases}$$

<27> 이때, 의사 잡음 코드 발생기가 정상적으로 동작하는 경우, 선형 시퀀스 쉬프트 레지스터의 다음 상태( $\rightarrow r_{m+1}$ )는 아래의 수학식 4와 같이 선형 시퀀스 쉬프트

레지스터의 현재 상태( $\rightarrow r_m$ ), 선형 시퀀스 쉬프트 레지스터의 중요성이 가장

높은 비트(Most Significant Bit: 이하 MSB) ( $r_{n,m}$ ) 그리고 수학식 2에 보인 생성 다

항식(  $\rightarrow$  )에 의해 구할 수 있다.  
 $g$

<28> 【 수학식 4】

$$\vec{r}_{m+1} = [r_{n,m+1} \quad r_{n-1,m+1} \quad \dots \quad r_{1,m+1} \quad 0]$$

여기서,

$$r_{i,m+1} = \begin{cases} r_{i-1,m} \oplus (r_{n,m} g_{i-1}) & , 0 < i \leq n, \quad i \text{는 integer} \\ 0 & , i = 0 \end{cases}$$

<29> 이와 같은 수학식 4는 n 개의 쉬프트 레지스터중 중요성이 가장 낮은(Least Significant Bit: 이하 LSB) 쉬프트 레지스터를 제외한 임의의 i 번째 쉬프트 레지스터의 입력단에는, n 번째 쉬프트 레지스터의 출력신호와 상기 의사 잡음 코드 발생기에 주어진 생성 다항식의 i-1 번째 값을 논리곱 처리하여 i-1번째 쉬프트 레지스터의 출력신호와 논리합 처리하여 얻어진 결과 값이 입력된다는 것을 의미한다.

<30> 또한, 1 PN 칩 어드밴스를 실행하기 위한 선형 시퀀스 쉬프트 레지스터의 다음 상태는 정상적으로 동작하는 선형 시퀀스 쉬프트 레지스터의 상태(  $\rightarrow$  )이  
 $r_{m+2}$

며, 이는 아래와 보인 수학식 5와 같이 선형 시퀀스 쉬프트 레지스터의 현재 상태  $\rightarrow$  과 n 차 생성 다항식(  $\rightarrow$  )으로 나타낼 수 있다.  
 $r_m$   $g$

<31>

【 수학식 5】

$$\bar{r}_{m+2} = [r_{n,m+2} \quad r_{n-1,m+2} \quad \cdots \quad r_{1,m+2} \quad 0]$$

여기서,

$$r_{i,m+2} = \begin{cases} r_{i-2,m} \oplus (r_{n,m} g_{i-2}) \oplus [(r_{n-1,m} \oplus (r_{n,m} g_{n-1})) g_{i-1}] & , 1 < i \leq n, \quad i \text{는 integer} \\ r_{n-1,m} \oplus (r_{n,m} g_{n-1}) & , i = 1 \\ 0 & , i = 0 \end{cases}$$

<32>

이상과 같은 수학식 5는 n 개의 쉬프트 레지스터를 포함한 n 차의 의사잡음 코드 발생기에서 n 개의 쉬프트 레지스터 중에서 중요성이 가장 낮은(Least Significant Bit: 이하 LSB) 쉬프트 레지스터의 입력단에는 n 번째 쉬프트 레지스터의 출력신호와 상기 의사잡음 코드 발생기에 주어진 생성 다항식의 n-1 번째 값을 논리곱(앤드 게이트) 처리하여 얻어진 결과 값을 상기 n-1 번째 쉬프트 레지스터의 출력신호와 논리합(오어 게이트) 처리하여 얻어진 결과 값이 입력된다는 것을 의미한다. 또한,  $1 < i \leq n$  조건을 만족하는 경우, LSB 쉬프트 레지스터를 제외한 임의의 i 번째 쉬프트 레지스터의 입력단에는 n 번째 쉬프트 레지스터의 출력신호와 생성 다항식의 n-1 번째 값과 논리 곱 처리하여 얻어진 결과 값을 n-1 번째 쉬프트 레지스터의 출력신호와 논리합 처리하여 얻어진 결과 값을 상기 생성 다항식의 i-1 번째 값과 논리곱 처리하여 얻어진 제1 값과; n 번째 쉬프트 레지스터의 출력신호와 생성 다항식의 i-2 번째 값과 논리곱 처리하여 얻어진 제2 값과; i-2 번째 쉬프트 레지스터의 출력신호인 제 3값을 동시에 논리합 처리하여 얻어진 결과 값이 입력되는 것을 의미한다.

<33>

또한, 1 PN 칩 리타드를 위한 선형 시퀀스 쉬프트 레지스터의 다음 상태는

후술될 도 4의 설명과 같으며 선형 시퀀스 쉬프트 레지스터의 현재 상태  $r_m$ 로 표

시된다. 즉,  $r_{i,m+1} = r_{i,m}$ 에 따라  $i$  번째 쉬프트 레지스터의 입력단에  $i$  번째 쉬프트 레지스터의 출력신호가 피드백시키거나, 각 쉬프트 레지스터에 인가되는 외부인 에이블 신호로 하나의 의사 잡음 칩(PN chip) 시간 동안 디스에이블시키는 방식을 이용하여 리타드를 실행한다.

<34> 도 2는 생성 다항식  $g(X) = X^4 + X^3 + 1$ 이 주어진 의사 잡음 코드 발생기가 정상적으로 동작하는 경우에 선형 시퀀스 쉬프트 레지스터(LSSR)의 다음 상태를 구하기 위한 의사 잡음 코드 발생기의 부분적인 블럭 구성도를 보인다. 선형 시퀀스 쉬프트 레지스터의 다음 상태의 각 성분들은 위의 수학식 4를 이용하여 아래와 같은 수학식 6으로 나타낼 수 있다.

<35> 【 수학식 6】

$$\begin{aligned} r_{4,m+1} &= r_{3,m} \oplus (r_{4,m} g_3) = r_{3,m} \oplus r_{4,m} \\ r_{3,m+1} &= r_{2,m} \\ r_{2,m+1} &= r_{1,m} \\ r_{1,m+1} &= r_{4,m} \end{aligned}$$

<36> 도 3은 생성 다항식  $g(X) = X^4 + X^3 + 1$ 인 의사 잡음 코드 발생기가 1 PN 칩 어드밴스(advance)를 실행하기 위해 선형 시퀀스 쉬프트 레지스터(LSSR)의 다음 상태를 구하기 위한 의사 잡음 코드 발생기의 부분적인 블럭 구성도이다. 도 3에 도시된 선형 시퀀스 쉬프트 레지스터의 다음 상태를 구하기 위한 동작은 수학식 5 및

이에 따른 의미를 설명한 것과 동일하다.

<37> 선형 시퀀스 쉬프트 레지스터의 다음 상태의 각 성분들은 위의 수학적 식 5를 이용하여 아래와 같은 수학적 식 7과 같이 나타낼 수 있다.

<38> 【 수학적 식 7】

$$\begin{aligned} r_{4,m+2} &= r_{2,m} \oplus (r_{4,m} g_2) \oplus [r_{3,m} \oplus (r_{4,m} g_3)] g_3 = r_{2,m} \oplus r_{3,m} \oplus r_{4,m} \\ r_{3,m+2} &= r_{1,m} \\ r_{2,m+2} &= r_{4,m} \\ r_{1,m+2} &= r_{3,m} \oplus (r_{4,m} g_3) = r_{3,m} \oplus r_{4,m} \end{aligned}$$

<39> 도 4는 생성 다항식  $g(X) = X^4 + X^3 + 1$ 인 의사 잡음 코드 발생기가 1 PN 칩 리타드(retard)를 실행하기 위해 선형 시퀀스 쉬프트 레지스터(LSSR)의 다음 상태를 구하기 위한 의사 잡음 코드 발생기의 부분적인 블록 구성도이다. 도 4에서는 각각의 쉬프트 레지스터(11-14)의 입력단에 각각의 쉬프트 레지스터(11-14)의 출력 신호가 피드백 되는 것을 보이고 있다. 또한, 생성 다항식  $g(X) = X^4 + X^3 + 1$ 인 의사 잡음 코드 발생기가 1 PN 칩 리타드(retard)를 실행하기 위해 도 5에 도시된 바와 같이 외부에서 제공됨에 따라 각 쉬프트 레지스터(11-14)에 인가되는 인에이블 신호를 하나의 의사 잡음 칩(PN chip) 시간동안 디스에이블 시켜서 동일한 효과를 볼 수도 있다.

<40> 도 5는 본 발명의 바람직한 실시 예로서, 생성 다항식  $g(X) = X^4 + X^3 + 1$ 이 주어진 의사 잡음 코드 발생기의 블록 구성도로서, 도 2내지 도 4가 모두 결합된

형태이다.

<41>

즉, 도 5에서는 정상상태에서의 선형 시퀀스 쉬프트 레지스터의 다음 상태를 구하기 위한 회로와, 1 PN 칩 어드밴스를 실행하기 위한 선형 시퀀스 쉬프트 레지스터의 다음 상태를 구하기 위한 회로와, 1 PN 칩 리타드를 실행하기 위한 선형 시퀀스 쉬프트 레지스터의 다음 상태를 구하기 위한 회로가 모두 결합되었다. 본 발명의 의사 잡음 코드 발생기는 로드 인에이블신호 및 시퀀스 인에이블 신호를 각각 제공받으며, 서로 직렬로 연결된  $n$ 개의 쉬프트 레지스터(11-14)와, 각각의 쉬프트 레지스터(11-14)의 입력단에 각각 연결되어 각각의 제어신호에 따라 다중 입력신호 중 하나의 입력신호를 출력하는  $n$  개의 믹스(21-24)와,  $n$  개의 믹스(21-24)에 의사 잡음 코드 발생기의 상태를 설정하기 위한 제어신호를 발생시키는 엔코더(31)로 구성된다.

<42>

여기서,  $n$ 개의 쉬프트 레지스터중 첫번째 쉬프트 레지스터(11)의 입력단에 연결된 믹스(21)의 한 입력은 의사 잡음 코드 발생기에 대한 생성 다항식의  $n$ 번째 값으로 정하며, 믹스(21)의 다른 입력은  $n$  번째 쉬프트 레지스터(14)의 출력신호와  $n-1$  번째 쉬프트 레지스터(13)의 출력신호 값을 덧셈기(15)를 통하여 논리합한 값으로 정하며, 믹스(21)의 또다른 입력은 쉬프트 레지스터(11)의 출력신호로 정한다.

<43>

또한,  $n$  개의 쉬프트 레지스터(11-14)중 첫번째 쉬프트 레지스터(11)를 제외한 임의의  $i$ 번째( $2 \leq i \leq n$ ,  $i$ 는 정수) 쉬프트 레지스터(예를 들어 13)의 입력단에 연결된 믹스(23)의 한 입력은  $n$  번째 쉬프트 레지스터(14)의 값을 의사 잡음 코드

발생기 생성 다항식의  $i-1$  번째 쉬프트 레지스터(12)의 출력값과 논리곱한후, 이때의 결과값을  $i-1$ 번째 쉬프트 레지스터(12)값을 논리합으로 처리한 값으로 정하며,  $i$ 번째 쉬프트 레지스터(13)의 입력단에 연결된 먹스(23)의 다른 입력은  $n$ 번째 쉬프트 레지스터(14)의 출력신호와 생성 다항식의  $n-1$ 번째 값과 논리곱하여 얻어진 제1값과,  $n$  번째 쉬프트 레지스터(14)의 출력신호와 생성 다항식의  $i-2$  번째 값과 논리합 처리하여 얻어진 제2 값과,  $i-2$  번째 쉬프트 레지스터의 출력신호를 제 3값으로 하여 상기 제 1값, 제 2값, 제 3값을 논리합 처리한 결과 값으로 정하며,  $i$ 번째 쉬프트 레지스터(13)의 입력단에 연결된 먹스(23)의 또 다른 입력은  $i$ 번째 쉬프트 레지스터의 출력신호로 정한다.

<44>           도 5는 도 2 내지 도 4에 의해 출력되는 시퀀스를 각각의 먹스(21-24)에 취합하고, 엔코더(31)에서 인가되는 제어신호에 의해 각각의 먹스(21-24)의 출력을 제어할 수 있음을 보이고 있다.

<45>           따라서, 전송장치의 수신단은 한 클럭이내에 의사 잡음 코드 발생기의 정상상태의 동작, 1 PN 칩 어드밴스 동작, 1 PN 칩 리타드 동작중에서 원하는 동작을 선택적으로 처리할 수 있다.

### 【 발명의 효과】

<46>           이상의 설명에서와 같은 본 발명에 따르면, 의사 잡음 코드 발생기를 PN 칩 레이트보다 높은 시스템 클럭으로 운용하면서도 1 시스템 클럭 동안에 1 PN 칩 어드밴스나 리타드를 선택적으로 수행할 수 있는 효과가 있다. 따라서, 이와 같은 의사 잡음 코드 발생기를 코드 분할 다중 방식의 무선 통신 시스템의 수신단에 적



용할 경우, PN 코드 추적을 시스템 클럭으로 수행 할 수 있기 때문에 자원의 공유  
를 통한 병렬 처리 및 무선 통신 시스템의 수신단에 구비된 핑거의 수용 용량을 확  
대시키는 효과가 있다.

【특허청구범위】

【청구항 1】

서로 직렬로 연결된  $n$ 개의 맥스와 쉬프트 레지스터를 포함한 선형 시퀀스 쉬프트 레지스터가 구비된  $n$  차의 의사 잡음 코드 발생기에 있어서,

정상 상태에서의 선형 시퀀스 쉬프트 레지스터의 다음 상태를 구하기 위한 동작, PN 칩 어드밴스(Advance)를 위한 상기 선형 시퀀스 쉬프트 레지스터의 다음 상태를 구하기 위한 동작, 및 PN 칩 리타드(Retard)를 위한 상기 선형 시퀀스 쉬프트 레지스터의 다음 상태를 구하기 위한 동작을 실행하기 위한 신호를 상기 각각의 맥스에 입력하는 단계와;

상기 선형 시퀀스 쉬프트 레지스터에 대한 다음 상태를 변경하기 위한 제어 신호를 발생시키는 단계와;

상기 각각의 맥스에 입력되는 신호를 상기 제어신호에 따라 다중화하는 단계와,

상기 다중화된 신호에 반응하는 동작을 한 클럭 동안에 실행하는 단계로 이루어진 것을 특징으로 하는 의사 잡음 코드 발생 방법.

【청구항 2】

제 1항에 있어서, 상기 PN 칩 어드밴스(Advance)를 위한 상기 선형 시퀀스 쉬프트 레지스터의 다음 상태를 구하기 위한 동작은

상기  $n$  개의 쉬프트 레지스터 중 첫번째 쉬프트 레지스터의 입력단에는  $n$  번째 쉬프트 레지스터의 출력신호와 상기 의사잡음 코드 발생기에 주어진 생성 다항

식의  $n-1$  번째 값을 논리곱 처리하여 얻어진 결과 값을 상기  $n-1$  번째 쉬프트 레지스터의 출력신호와 논리합 처리하여 얻어진 결과 값이 입력되며;

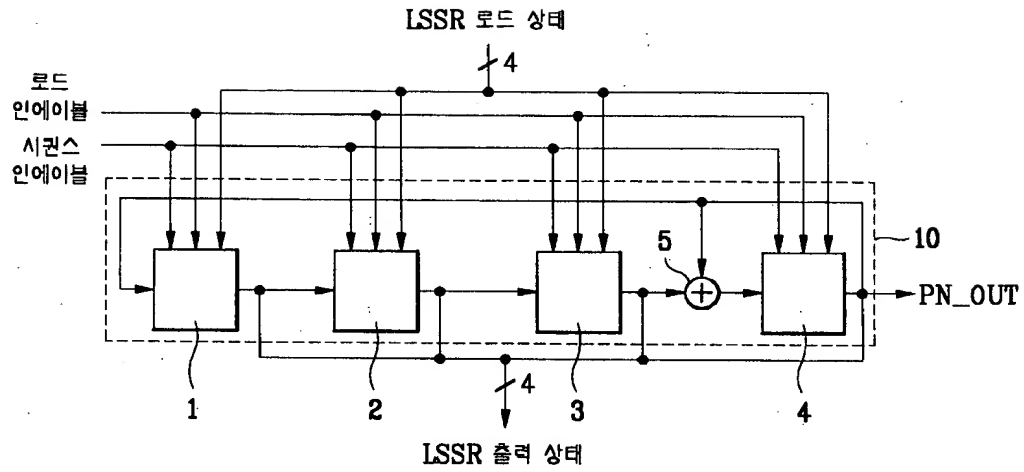
$i$ 가 1보다 크고  $n$  이하인 경우; 상기 첫번째 쉬프트 레지스터를 제외한 임의의  $i$  번째 쉬프트 레지스터의 입력단에는, 상기  $n$  번째 쉬프트 레지스터의 출력신호와 상기 발생다항식의  $n-1$  번째 값과 논리 곱 처리하여 얻어진 결과 값을 상기  $n-1$  번째 쉬프트 레지스터의 출력신호와 논리합 처리하여 얻어진 결과 값을 상기 생성 다항식의  $i-1$  번째 값과 논리곱 처리하여 얻어진 제1 값과; 상기  $n$  번째 쉬프트 레지스터의 출력신호와 상기 생성 다항식의  $i-2$  번째 값과 논리곱 처리하여 얻어진 제2 값과;  $i-2$  번째 지연 소자의 출력신호인 제 3값을 동시에 논리합 처리하여 얻어진 결과 값이 입력되는 것을 특징으로 하는 의사잡음 코드 발생 방법.

### 【 청구항 3】

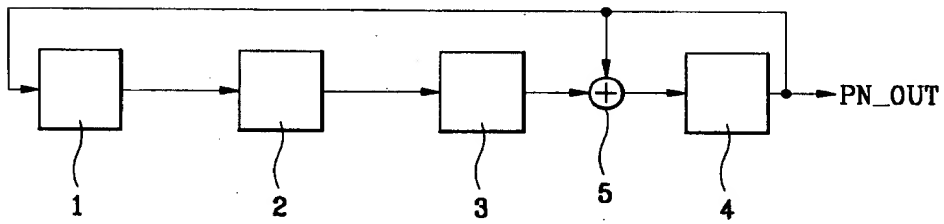
제 1항에 있어서, 상기 PN 칩 리타드(Retard)를 위한 상기 선형 시퀀스 쉬프트 레지스터의 다음 상태를 구하기 위한 동작은, 상기  $i$  번째 쉬프트 레지스터의 입력단에 상기  $i$  번째 쉬프트 레지스터의 출력신호를 피드백시키거나, 상기 각 쉬프트 레지스터에 인가되는 외부 인에이블 신호로 하나의 의사 잡음 칩(PN chip) 시간 동안 디스에이블시키는 것을 특징으로 하는 의사잡음 코드 발생 방법.

【 도면】

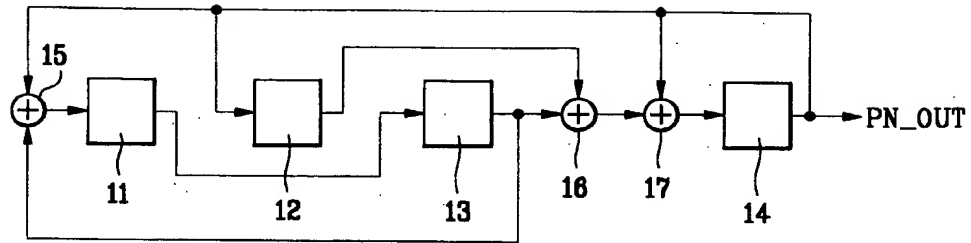
【 도 1】



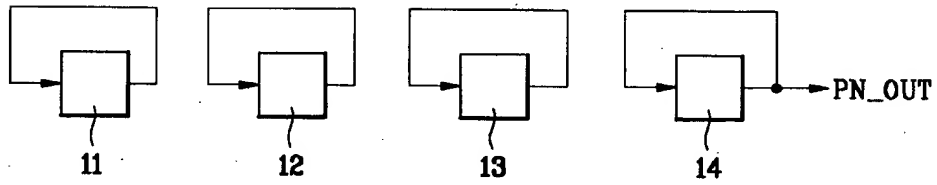
【 도 2】



【 도 3】



【 도 4】



【 도 5 】

